

PAT-NO: JP355095338A
DOCUMENT-IDENTIFIER: JP 55095338 A
TITLE: INTEGRATED CIRCUIT
PUBN-DATE: July 19, 1980

INVENTOR- INFORMATION:

NAME
MATSUI, NORIO
KON, TAICHI
OSAKI, TAKAAKI
NISHI, NORIO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT>	N/A

APPL-NO: JP54002410
APPL-DATE: January 12, 1979

INT-CL (IPC): H01L021/88, H01L027/04 , H01L023/52

US-CL-CURRENT: 257/637, 257/644

ABSTRACT:

PURPOSE: To provide multi-layer wiring on a chip by a method wherein multi-layer wiring is provided on an Si substrate, and etching is added to the back surface of the substrate to expose a wiring layer, then an IC chip is inserted into a hollow and connected to the layer by means of self-matching.

CONSTITUTION: An SiO₂ film 201, an Al power source layer 301 of the

pattern desired, an SiO_2 layer 202 and an Al earthing layer 302 of the pattern desired are laminated on an Si substrate 1. Next an Al signal layer 303 provided with a lead portion 19, an SiO_2 film 204 and an Al signal layer 304 are formed in such a manner that the lead 19 and the signal layer 304 are not piled up together on a concave portion 18. Then SiO_2 205 and hydrofluoric acid resistant insulation film 131 are piled up. The Al layers are suitably connected each other in a longitudinal direction. An SiO_2 mask 206 is provided on the under side of the substrate, and anisotropic etching is added to make a hollow 6. Then etching is added to the layer through the window 20 of the hollow to expose the lead 19, and an IC chip 5 with its electrode 8 located upward is inserted into the window. The lead 19 and the electrode are connected together using a laser beam through the transparent films 204, 205, then an Si substrate 11 for sealing it is attached 17.

COPYRIGHT: (C)1980, JPO&Japio

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
 ⑰ 公開特許公報 (A) 昭55-95338

⑯ Int. Cl.³
 H 01 L 21/88
 27/04
 // H 01 L 23/52

識別記号 庁内整理番号
 7210-5F
 7210-5F
 7210-5F

⑯ 公開 昭和55年(1980)7月19日
 発明の数 1
 審査請求 有

(全 5 頁)

⑯ 集積回路装置

⑯ 特 願 昭54-2410
 ⑯ 出 願 昭54(1979)1月12日
 ⑯ 発明者 松井則夫
 武藏野市緑町3丁目9番11号日
 本電信電話公社武藏野電気通信
 研究所内
 ⑯ 発明者 昆太一
 武藏野市緑町3丁目9番11号日
 本電信電話公社武藏野電気通信

研究所内

⑯ 発明者 大崎孝明
 武藏野市緑町3丁目9番11号日
 本電信電話公社武藏野電気通信
 研究所内
 ⑯ 発明者 西功雄
 武藏野市緑町3丁目9番11号日
 本電信電話公社武藏野電気通信
 研究所内
 ⑯ 出願人 日本電信電話公社
 ⑯ 代理人 弁理士 星野恒司 外1名

明細書

発明の名称 集積回路装置

特許請求の範囲

シリコン単結晶ウェーハを基板として用いたマルチチップ方式の配線板において、シリコン基板の上部表面上に多層配線を形成し、次いでシリコン基板の下部表面から、シリコン単結晶の結晶面方位選択エッチング等により、シリコン基板と絶縁層との界面に達するキャビティを複数個形成し、引き続きこのキャビティをマスクとして、多層配線の接続用金属配線層が露出するまで多層配線内の層間絶縁膜をエッチング除去し、次にキャビティに半導体集積回路チップの電極面を上にして挿入し、露出している接続用金属配線層端子と半導体集積回路チップの電極とを接続し、更にシリコン基板の下部表面と半導体集積回路チップの電極面ではない下部表面とを別のシリコン基板等で接着封止固定することを特徴とする集積回路装置。

発明の詳細を説明

本発明は、高密度のマルチチップ方式の集積回路装置に関するものである。

従来、シリコン単結晶ウェーハを基板として用いるマルチチップ方式の集積回路装置には、第1図に示したように、シリコン単結晶基板1上に絶縁層2と配線層3により多層配線4を形成し、この上に半導体集積回路チップ5を搭載する方式と、第2図に示したように、シリコン単結晶基板1上に多層配線4を形成した後、化学エッティング、プラズマエッティング、機械的加工等の方法によりキャビティ6を形成し、ここに半導体集積回路チップ5を多層配線上の電極7と半導体集積回路チップ上の電極8の高さを一致させるように埋め込む方式とがあった。第1図の方式では、多層配線上の電極7と高さの違う半導体集積回路チップ上の電極8をワイヤボンディング方式あるいはテーブキャリヤ方式等により接続するため、リード9が長くなり、これに比例して信号の伝搬遅延時間が長くなる傾向を示していた。また、第2図の方式では、半導体集積回路チップ5を設置するキャビ

ティ 6 を化学エッチャング等の方法により形成するため、半導体集積回路チップ 5 と多層配線 4 の間にには加工上サイドエッチャングによる空間 10 を生じ、第 1 図の方式よりは短いが接続リード 9 が長くなり、同様に信号の伝播遅延時間が長くなっていた。更に、第 1 図および第 2 図の方式では、半導体集積回路チップ 5 の上方に多層配線層を形成することは複雑で、困難であり、配線収容量の増大を期待することはできず、配線板の高密度化、高速化の障壁となっていた。

本発明は、上記従来例の欠点を解消するため、シリコン基板の上部表面上に多層配線を形成し、下部表面からシリコン基板と絶縁層を多層配線の接続用金属配線層が露出するところまでエッチャング除去し、キャビティを形成した後、ここに半導体集積回路チップを挿入し、セルファーラインにより接続することを特徴とし、その目的は接続用のリードと多層配線との同時形成と直接接続、半導体集積回路チップと配線の接続距離の最小化、半導体集積回路チップの上方における多層配線形成

- 3 -

を可能とし、高密度で、高速の集積回路装置を実現するところにある。以下、図面により実施例を詳細に説明する。

第 3 図は、本発明の 1 実施例を示したもので、1 はシリコン単結晶基板、2 は SiO_2 絶縁層、3 は Al 配線層、5 は半導体集積回路チップ、6 はキャビティ、8 は半導体集積回路チップの電極（ボンディングパッド）、11 は封止固定用のシリコン基板、12 はヒートシンク、13 は耐フッ酸性の絶縁層、14 は封止用シリコンゴム、15 は半導体集積回路チップの上方にある Al 配線層、16 は Al 配線層間の接続用緩配線、17 は接着剤である。

以下、本実施例の製作工程を順を追って説明する。まず第 4 図(a)に示したように、シリコン単結晶ウェハ 1 の上部表面に SiO_2 絶縁層 201 および Al 電源層 301 を順にスパッタリング等の方法により被着する。次いで、第 4 図(b)に示したように、フォトリソグラフィ技術により Al 電源層 301 を、所望のパターンにエッチャング加工し、その上にスパッタリング等の方法により順に SiO_2 絶縁層 202 お

- 4 -

より Al グランド層 302 を被着する。次に、第 4 図(c)に示したように、Al グランド層 302 を Al 電源層 301 と同様に所望のパターンにエッチャング加工し、更にその上に順にスパッタリング等の方法により SiO_2 絶縁層 203、ポリイミド等の耐フッ酸性絶縁層 13 および Al 第 1 信号層 303 を被着する。このように Al 電源層 301 と Al グランド層 302 をキャビティ形成領域 18 を避けて加工形成するため、後のフッ酸によるキャビティ形成時ににおける Al の腐食を防止することができる。次に、第 4 図(d)に示したように、Al 第 1 信号層 303 を Al 電源層 301 と同様な手法で、半導体集積回路チップの電極と接続するためのリード部 19 を含めて、所望のパターンにエッチャング加工し、更にその上に、スパッタリング等の方法により SiO_2 絶縁層 204、Al 第 2 信号層 304 を被着する。次に、第 4 図(e)に示したように、Al 第 2 信号層 304 をフォトリソグラフィ技術により所望のパターンにエッチャング加工する。この時キャビティ形成領域 18 内の Al 第 1 信号層 303 のリード部 19 に、垂直方向から見て互いに

いように Al 第 2 信号層 304 のバタンニングを行なうが、キャビティ形成領域 18 内でも配線を行なうことができる。この加工後、順に SiO_2 絶縁層 205、耐フッ酸性絶縁層 131 を Al 第 2 信号層 304 の上に、また SiO_2 等の層 206 をシリコン単結晶ウェハ 1 の下表面上にスパッタリング等の方法で被着する。なお、Al 配線層間の横方向の接続は、Al 配線層被着に先立ち、絶縁層 202、203、13、204 にフォトリソグラフィ技術を用いて、エッチャングにより孔を開けなければよい。

次に、第 4 図(f)に示したように、キャビティ形成のため、 SiO_2 絶縁層 206 をフォトリソグラフィ技術によりエッチャング加工し、これをマスクとして KOH 等をエッチャントとし、 SiO_2 絶縁層に達するまでシリコン単結晶ウェハ 1 の結晶面方位異方性エッチャング等を行ない、キャビティ 6 を形成する。次に、第 4 図(g)に示したように、キャビティ 6 の底 20 を通してフッ酸系のエッチャントを用い、耐フッ酸性絶縁層 13 に達するまで SiO_2 絶縁層 201、202、203 をエッチャング除去する。次いで、

- 5 -

第4図(6)に示したように、露出している耐フッ酸性絶縁層13を公知のエッチング法により除去し、半導体集積回路チップ接続用リード19を露出させる。

次に第4図(6)に示したように、キャビティ6に半導体集積回路チップ5をAlボンディングパッドから成る電極8を上にして挿入し、上方から透明なSiO₂絶縁層204, 205を通して、レーザビーム等を用いた高エネルギー非接触型ボンディング装置等を用いて、半導体集積回路チップの電極8とAlリード19とを接続する。次に、第4図(5)に示したように、接着剤17を用いて別の封止固定用のシリコン基板11あるいはキャビティを設けたシリコン基板11と、半導体集積回路チップ5およびシリコン単結晶ウェーハ1を接続する。最後に、SiO₂絶縁層205の上にシリコングム14を敷布し、シリコン基板11を鋼、アルミ、モリブデン等でできているヒートシンク12に搭載する。

本発明は上記実施例に限定されず、種々変形できる。例えば、配線層はAlの他に、Cu, Au, Mo等を用いることができ、また半導体集積回路チップ

-7-

の電極と配線層のリード部との接続はレーザボンディング以外の低圧はんだや共晶接着等も用いることができ、更に電源層、グランド層、信号層の配置、配列、層数は任意に変えることができる。またシリコン基板11あるいはキャビティを設けたシリコン基板に、半導体集積回路チップを接続固定してからリード9との接続を行なう方法もある。

以上説明したように、本発明によれば、配線層を形成する際に、半導体集積回路チップの電極と多層配線板の配線との接続部リードを同時に形成することができ、従来のようにワイヤや、特殊なテープキャリヤや接続用のパンプ等を必要とせず、工程の簡略化が達成でき、またシリコン単結晶の下表面から異方向エッチング法による半導体集積回路チップ搭載用のキャビティを形成するため自動的に高精度な位置合わせをすることができ、従来避けることが困難であったキャビティのサイドエッヂによる搭載チップと配線間のデッドスペースも殆どなく、配線距離、即ち信号の伝搬時間の最小化が可能となる。更に、半導体集積回路チップ

-8-

の上方における多層配線形成が可能となり、これをを利用して搭載チップと配線層との接続部にも理想的なグランド層を与えることもでき、電気的特性の改善が図れ、またチップがチップ搭載用の基板と同材質のシリコンの場合には熱膨張係数が一致して信頼性も高くなり、ヒートシンクをそのまま下につけることにより熱放散性もよくなり、電気的、熱的特性の優れた高密度で、高速の集積回路装置の実現を図ることができる。

図面の簡単な説明

第1図は、従来のチップ搭載用のキャビティを持たないタイプのシリコンウェーハを用いたマルチチップ集積回路装置の断面図および斜方見取図、第2図は、従来のチップ搭載用のキャビティを持つタイプのシリコンウェーハを用いたマルチチップ集積回路装置の断面図および斜方見取図、第3図は、本発明の一実施例の断面図、第4図は、本発明の製造工程を示す断面図である。

1 —— シリコン単結晶基板(ウェーハ)、
2 —— 絶縁層、201,202,203,204,205 —— SiO₂

-9-

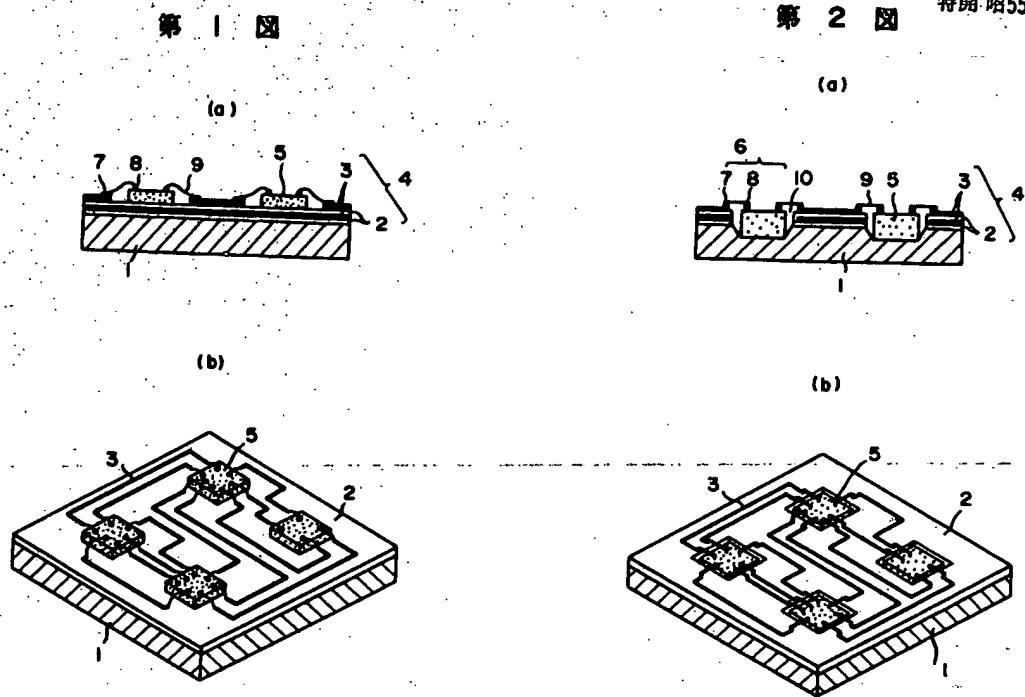
絶縁層、3 —— 配線層、301,302,303,304 —— Al配線層、5 —— 半導体集積回路チップ、6 —— キャビティ、7 —— 多層配線板上の電極、8 —— 半導体集積回路チップ上の電極、11 —— 封止固定用のシリコン基板、12 —— ヒートシンク、13 —— 耐フッ酸性絶縁層、14 —— 封止用シリコングム、15 —— 半導体集積回路チップの上方にあるAl配線層、16 —— Al配線層間の接続用紙配線、17 —— 粘着剤、18 —— キャビティ形成領域、19 —— 半導体集積回路チップの電極と接続するためのAlリード、20 —— キャビティの狭い方の窓。

特許出願人 日本電信電話公社

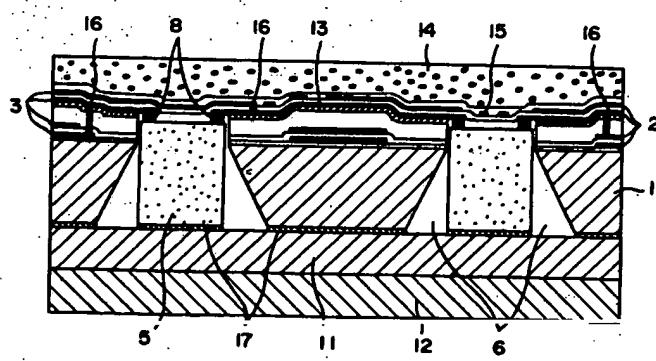
代理人 堀野恒司
鈴木和夫

-10-

第2図



第3図



第4 ■

